

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-296142

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

F I

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平10-94409

(22) 出願日

平成10年(1998)4月7日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

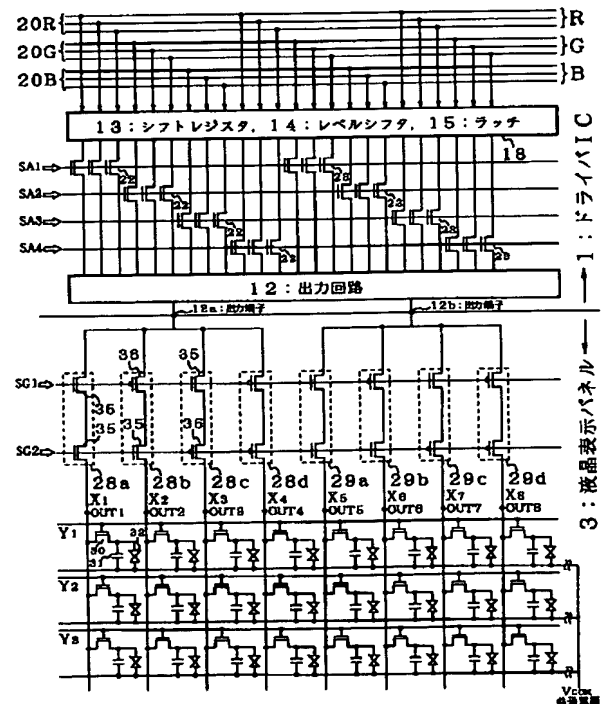
(74) 代理人 弁理士 山口 邦夫 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 時分割用ゲート線の本数を削減することにより、液晶表示パネルのサイズを小さくできる液晶表示装置を提供する。

【解決手段】 ラッチされたnビットのデジタル原色信号が第1のスイッチング手段を介して出力回路に供給されて時分割用のアナログ原色信号に変換され、このアナログ原色信号が第2のスイッチング手段を介して表示部を構成する複数のソース線に画像信号として時分割的に供給されると共に、第2のスイッチング手段は直列接続された第1及び第2のスイッチング素子がアナログ原色信号に対応して設けられ、ソース線に設けられた第1のスイッチング素子同士は第1のゲート信号によってスイッチングされ、第2のスイッチング素子同士は第2のゲート信号によって駆動される。ゲート信号の組合せによって少ないゲート線数でも複数のソース線を制御できる。



【特許請求の範囲】

【請求項 1】 n ビットのデジタル原色信号がラッチされると共に、ラッチされた上記 n ビットのデジタル原色信号が第 1 のスイッチング手段を介して出力回路に供給されて時分割用のアナログ原色信号に変換され、このアナログ原色信号が第 2 のスイッチング手段を介して表示部を構成する複数のソース線に画像信号として時分割的に供給されると共に、

上記第 2 のスイッチング手段は少なくとも直列接続された第 1 及び第 2 のスイッチング素子がアナログ原色信号に対応して設けられ、上記ソース線に設けられた第 1 のスイッチング素子同士は第 1 のゲート信号によってスイッチングされ、上記第 2 のスイッチング素子同士は第 2 のゲート信号によって駆動されるようになされたことを特徴とする液晶表示装置。

【請求項 2】 上記表示部は液晶表示パネルに設けられたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 上記第 1 及び第 2 のスイッチング手段は同期駆動されるようになされたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 上記ゲート線の本数を p としたとき、 2^p 本を単位として 2^p 本の上記ソース線が時分割駆動されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】 上記第 1 及び第 2 のスイッチング素子が単一のスイッチング素子でそれぞれ構成されたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 6】 上記第 1 及び第 2 のスイッチング素子がそれぞれ相補型となされたことを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置に関する。詳しくは、液晶表示装置用絶縁基板上に形成される水平駆動回路用スイッチング手段を直列接続された一対のスイッチング素子で構成すると共に、時分割駆動されるゲート線の本数を少なくすることによってスイッチング手段の占有面積を少なくできるようにしたものである。

【0002】

【従来の技術】 薄型、軽量、低消費電力等の特徴を有する液晶表示装置 (LCD) は、パーソナルコンピュータ等の OA 機器、ビデオカメラ等の家電 AV 機器等の表示装置としてよく用いられ、その中でも画質及び応答速度の点に優る薄膜トランジスタ (TFT) を用いたアクティブマトリクス方式による液晶表示装置が注目されている。

【0003】 アクティブマトリクス方式は、大きな情報量を扱う場合に好適なドット・マトリクス形液晶表示装置の駆動方式の一つで、もう一つの駆動方式として単純マトリクス方式がある。アクティブマトリクス方式は、

単純構造で低製造コストの単純マトリクス方式に比べて、パネルの構造が複雑で製造コストが高い一方、応答速度や視認特性が極めて良く画質の点で優れている。

【0004】 図 5 はアクティブマトリクス型液晶表示装置の駆動回路の構成図である。図 5 に示すようにアクティブマトリクス型液晶表示装置は、 X 方向 (図面縦方向) に配列された信号電極であるソース線 (信号線) X_1, X_2, \dots, X_n と Y 方向 (図面横方向) に配列されると共に、ソース線をアドレッシングする走査電極であるゲート線 Y_1, Y_2, \dots, Y_m を有する。ソース線には水平駆動回路用ドライバ IC 1 が接続され、ゲート線には垂直駆動回路 10 が接続されている。

【0005】 上記ドライバ IC 1 内には図示しないデコーダと出力回路が夫々内蔵され、出力回路から画像データに応じた所定のアナログ電圧をソース線に印加する。ソース線とゲート線との交差部分には画素が配置され、各画素には画素駆動素子 (スイッチング素子) としての TFT 30 と液晶容量 32 と付加容量 31 が接続されている。

【0006】 アクティブマトリクス型液晶表示装置の動作原理は、ゲート線 Y_1, Y_2, \dots, Y_m を線順次方式で上から順々に走査し、一つのゲート線上の全ての画素の TFT 30 を一時一斉にオン (導通状態) にする。そしてこの走査に同期して出力回路からソース線 X_1, X_2, \dots, X_n を介して、オン状態の TFT 30 に結合している全ての容量 32 にそれぞれ所定のアナログ電圧を印加して信号電荷を供給する。この結果、各液晶における光の透過率がアナログ電圧値に応じて変化する。ここで各付加容量 31 は充電されるから、TFT 30 がオフ (絶縁状態) になった後も、液晶の光の透過状態は、次に TFT 30 がオンされるまで保持される。

【0007】 しかしながら、このようなアクティブマトリクス型液晶表示装置では、各ソース線に一個のドライバが必要であるからドライバ (ドライバ IC) の数が増えるという問題がある。さらに階調を伴うカラー表示の場合には、中間レベル電圧の設定によるドライバ IC の大規模化、製造コストの増加という問題がある。

【0008】 この問題を解決するため、液晶表示パネルの各ソース線の入力側に単一のスイッチング素子からなる第 2 のスイッチング手段を設けた液晶表示パネルの駆動方法 (特開平 4 - 5 2 6 8 4) が従来技術に知られている。

【0009】 図 6 は従来技術によるアクティブマトリクス型液晶表示装置の駆動回路の部分回路図である。図 6 に示す駆動回路は図 5 に示す駆動回路と略同一構成であり、その同一部分については同一参照符号を付してその重複説明を割愛する。

【0010】 ドライバ IC 1 は、夫々例えば 3 本のデータ線からなる R、G、B の各データ線束 20R ~ 20B を有する。即ちこの場合、上記各データ線束 20R ~ 2

10

20

30

40

50

0 Bは3ビットのデジタル画像データ（ソースデータ）を伝送するので、8階調の512色カラー表示が可能である。

【0011】上記各データ線にはシフトレジスタ13、レベルシフタ14、ラッチ15がそれぞれ1個接続されて構成されたメモリー手段18を有する。シフトレジスタ13は1ビットの画像データを保存してけた送りし、レベルシフタ14は1ビットの画像データの論理値レベルを調整し、ラッチ15は1ビットの画像データを所定時間保持する。

【0012】各ラッチ15の出力側にはNチャネルTFT構成の第1のスイッチング手段22、23が設けられ、第1のスイッチング手段22、23は出力回路に内蔵されたデコーダに接続され、デジタル-アナログ変換回路でアナログ電圧に変換される。上記出力回路12では、4つのデータ線束20R~20Bに対して1つの出力端子12a、12b、・・・が設けられ、例えば出力端子12aに第2のスイッチング手段24a~24dとしてのNチャネルTFTを介して4本のソース線X₁~X₄に共通接続する。同様に出力端子12bをソース線X₅~X₈に共通接続する。

【0013】ここで、例えば時分割スイッチ選択信号SA1~SA4により上記第1の各スイッチング手段22、23が順次オンされる。これにより出力回路12は、入力された画像データに応じた所定の電圧の画像信号を出力端子12a、12b、・・・から順次出力する。液晶表示パネル2においては、時分割スイッチ選択信号S1~S4によって第1のスイッチング手段22、23に同期して第2のスイッチング手段24a~24d（25a~25d）が順次オンされて、第2の各スイッチング手段の出力信号（入力画像信号）が所定のソース線X₁~X₈にそれぞれ供給される。

【0014】

【発明が解決しようとする課題】このように従来技術によれば、ドライバIC1の各データ線に第1のスイッチング手段22、23を設けると共に液晶表示パネル2の各ソース線の入力側に単一のスイッチング素子からなる第2のスイッチング手段24a~24d、25a~25dを新たに設け、上記ドライバIC1の出力端子12a、12b、・・・をデータ線と対応する液晶表示パネル2の複数のソース線X₁~X₄またはX₅~X₈に接続し、ドライバIC1の各第1のスイッチング手段22、23に液晶表示パネル2の各第2のスイッチング手段24a~24d、25a~25dを同期させて順次オンオフさせることにより、データ線からの画像データの信号電圧を時分割してドライバIC1の出力端子12a、12b、・・・から上記データ線と対応するソース線X₁~X₈に供給できるようにしている。したがって従来技術によれば、液晶表示装置の全ソース線に接続するドライバICのコンパクト化あるいは個数の低減化が可能に

なる。

【0015】しかしその一方で、従来技術によれば、時分割の数の増加に伴って時分割用のゲート線の本数が増加する。つまり、時分割するソース線の本数と同じ本数だけゲート線の本数が必要になる。それに伴ってこのスイッチング手段の占有面積が増大する。すなわち図7に示すように、液晶表示パネル2は有効表示領域17とその周辺領域とで構成され、水平上部16は時分割用スイッチ用の形成領域となされ、左端部は垂直駆動回路10の形成領域となされている。

【0016】液晶表示領域17以外の部分、特に垂直方向の額縁部分（時分割用スイッチ領域）の面積が増大すると、液晶表示パネル2自体が大きくなるという問題がある。したがって従来技術によれば、液晶表示パネル2が大きくなるので、液晶表示装置の携帯化を妨げると共に一枚の透明絶縁基板から得られるパネルの数が少なくなり製造歩留まりを低下させる。

【0017】そこで本発明は、時分割用ゲート線の本数を削減することにより液晶表示装置のパネルのサイズを小さくできるTFTを用いた液晶表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明は上述した課題を解決するために、請求項1に記載した発明によれば、nビットのデジタル原色信号がラッチされると共に、ラッチされたnビットのデジタル原色信号が第1のスイッチング手段を介して出力回路に供給されて時分割用のアナログ原色信号に変換され、このアナログ原色信号が第2のスイッチング手段を介して表示部を構成する複数のソース線に画像信号として時分割的に供給されると共に、第2のスイッチング手段は少なくとも直列接続された第1及び第2のスイッチング素子がアナログ原色信号に対応して設けられ、ソース線に設けられた第1のスイッチング素子同士は第1のゲート信号によってスイッチングされ、第2のスイッチング素子同士は第2のゲート信号によって駆動されるようになされた液晶表示装置によって解決される。

【0019】本発明は、異なるスイッチング素子の組合せに注目したもので、液晶表示パネルの各ソース線に複数のスイッチング素子からなる第2のスイッチング手段を設ける。

【0020】本発明によれば、上記各ソース線に複数のスイッチング素子からなる第2のスイッチング手段を設け、そのオン、オフを組合せることにより、時分割用ゲート線の本数を減らすことができるので、時分割用ゲート線の占有面積を増大させることなくドライバICのコンパクト化あるいは個数の低減化を可能にする。

【0021】

【発明の実施の形態】以下、図面を参照しながら本発明に係る第1の実施形態を説明する。

10

20

30

40

50

【0022】図1は本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の駆動回路の部分回路図である。図1に示す本発明に係るアクティブマトリクス型液晶表示装置の駆動回路は、図5及び図6に示すアクティブマトリクス型液晶表示装置の駆動回路と略同一構成であり、その同一部分については同一参照符号を付してその重複説明を割愛する。

【0023】本発明に係る液晶表示パネル3の構成で従来技術による液晶表示パネル2と異なる点は、上記液晶表示パネル3の各ソース線に対し複数のソース線をまとめて時分割駆動できるように、複数のスイッチング素子からなる第2のスイッチング手段28、29、・・・(28a~28d、29a~29d、・・・)を設けたことにある。

【0024】図示の例では、出力回路12に設けられた1つの出力端子に4本のソース線を接続して、これら4本のソース線を時分割駆動するようにした例である。第2のスイッチング手段28を例示すると、この第2のスイッチング手段28はソース線に対して直列接続された第1及び第2のスイッチング素子で構成される。さらに第1のスイッチング素子同士は第1のゲート信号SG1によって共通に制御され、また4個の第2のスイッチング素子同士も第2のゲート信号SG2によって共通に制御される。

【0025】ここで、これら2つのゲート信号SG1、SG2によって、それぞれのスイッチング手段28a~28dの導通状態が時分割的となるようにするため第1及び第2のスイッチング素子は図示するような導電形式に選定されている。

【0026】スイッチング素子としてMOS型トランジスタを例示すれば、ソース線 X_1 に接続されるスイッチング素子は第1の導電形式であるNチャネル型のMOSトランジスタ35、35が使用される。以下同様に、ソース線 X_2 における第1のスイッチング素子は第2の導電型式であるPチャネル型のMOSトランジスタ36が用いられ、第2のスイッチング素子はNチャネル型のMOSトランジスタ35が使用される。ソース線 X_3 に接続される第1のスイッチング素子はNチャネル型のMOSトランジスタ35が用いられ、第2のスイッチング素子はPチャネル型のMOSトランジスタ36が使用される。ソース線 X_4 における第1、第2のスイッチング素子は共にPチャネル型のMOSトランジスタ36、36が使用される。

【0027】ここで出力端子12aに図2Aに示すようなアナログ画像信号が得られたと想定すると、ゲート信号SG1、SG2としては同図B、Cに示すような矩形波信号が供給されることによって、区間t1ではソース線 X_1 のみがオンして対応する画像信号Rがソース線 X_1 に印加される。これによってRの画素が映し出される。以下同様に区間t2ではソース線 X_2 がオンし、区間t

3ではソース線 X_3 がオンし、そして区間t4ではソース線 X_4 がオンする。これによって対応する画像信号R、G、Bによって対応する画素が映し出される。

【0028】ここで第2のスイッチング手段28、29、・・・に設ける時分割用ゲート線の本数pとそのゲート線により制御されるソース線の1出力端子当たりの本数qには、 $2^p = q$ の関係があるので、本実施形態は、 $p=2$ 、 $q=4$ の場合である。つまり、4本のソース線 $X_1 \sim X_4$ 、 $X_5 \sim X_8$ 、・・・を時分割するときには2本のゲート線で済む。したがって8本のソース線を時分割するときには3本のゲート線で済むことになる。

【0029】第2のスイッチング手段に設ける時分割用ゲート線の本数を従来技術に比べて半減できるので、図3に示すように、時分割用スイッチング領域16の幅Bを従来の幅Aよりも狭くすることができ、この狭幅化によって液晶表示パネルのサイズを小さくすることができ

る。

【0030】また前述のように本発明においては、第2のスイッチング手段の時分割用ゲート線の本数pと、そのゲート線により制御されるソース線の1出力端子当たりの本数qには、 $2^p = q$ の関係があるので、1出力端子に接続するソース線の本数qを多くして時分割数を増やす程、従来技術に対する本発明の時分割用ゲート線数を形成する領域16の幅は、 $1/2$ 、 $3/8$ 、 $1/4$ 、 $5/32$ 、・・・のように狭幅化できるから、その軽減効果はより顕著なものになる。

【0031】時分割用ゲート信号の数が削減された結果、図3のように本発明による時分割用スイッチ領域の垂直方向の幅Bは従来技術による時分割用スイッチ領域の垂直方向の幅Aよりも縮小される。つまり本発明によれば、液晶表示パネル全体の垂直方向の幅Dを従来のパネル全体の垂直方向の幅Cよりも小さくすることができ

る。

【0032】これとは逆に従来と同じパネル幅($D=C$)とするならば、有効表示領域17の面積を大きくすることができるから、表示部のワイド化を達成できる。

【0033】図4は本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置の駆動回路の応用例の部分回路図である。第2の実施形態の構成は第1の実施形態の構成と略同一であり、その同一部分については同一参照符号を付してその重複説明を割愛する。

【0034】第2の実施形態の構成で第1の実施形態と異なる点は、第1の実施形態の第2のスイッチング手段28、29、・・・にあつて、ソース線 X_1 、 X_2 、・・・に接続されたNチャネルTFTにはPチャネルTFTを、PチャネルTFTにはNチャネルTFTをソース・ドレインについて夫々並列に接続して相補型に構成したものである。さらにNチャネルTFTとPチャネルTFTのゲートの間にはインバータ33が接続される。

【0035】図4において、例えば対をなすTFTの左

側のTFT38のゲートには、時分割用ゲート信号SG1またはSG2(図2)がそのまま入力される。また同右側のTFT39のゲートにはインバーターで反転された時分割用ゲート信号SG1またはSG2が入力される。ここで対を成すTFTはNチャネルTFTとPチャネルTFTであるから、このNチャネルTFTとPチャネルTFTは同時にオンオフ動作する。このとき例えばNチャネルTFTが完全にオンにならなくてもPチャネルTFTが完全にオンになるので、共通電極に供給される交流駆動信号によるスイッチング動作は、第1の実施形態のスイッチング動作と同じになる。また他のスイッチング手段28b~28d、29、・・・についても同様なことである。

【0036】したがって、本実施形態によっても、時分割用のゲート線の数を経減でき、液晶表示装置の小型化を図れる。

【0037】

【発明の効果】以上説明したように、本発明によれば、液晶表示パネルの各ソース線に複数のスイッチング素子からなる第2のスイッチング手段を設けたことにより、液晶表示装置の垂直方向の額縁部分の面積を縮小できるので、ドライバICのコンパクト化あるいは個数の低減化を、液晶表示パネルの面積(時分割用ゲート線の占有面積)を増大させることなく可能にできる。

【0038】このように、本発明によれば、液晶表示パネルの面積を従来技術によるものよりも縮小できるので、液晶表示装置の携帯性が確保できる。また、本発明

によれば、一枚の透明絶縁基板から得られる液晶表示パネルの数が増大するので、製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の駆動回路の部分回路図である。

【図2】本発明に係る実施形態の動作説明図である。

【図3】本発明による額縁部分の狭幅化の説明図である。

10 【図4】本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置の駆動回路の部分回路図である。

【図5】アクティブマトリクス型液晶表示装置の駆動回路の構成図である。

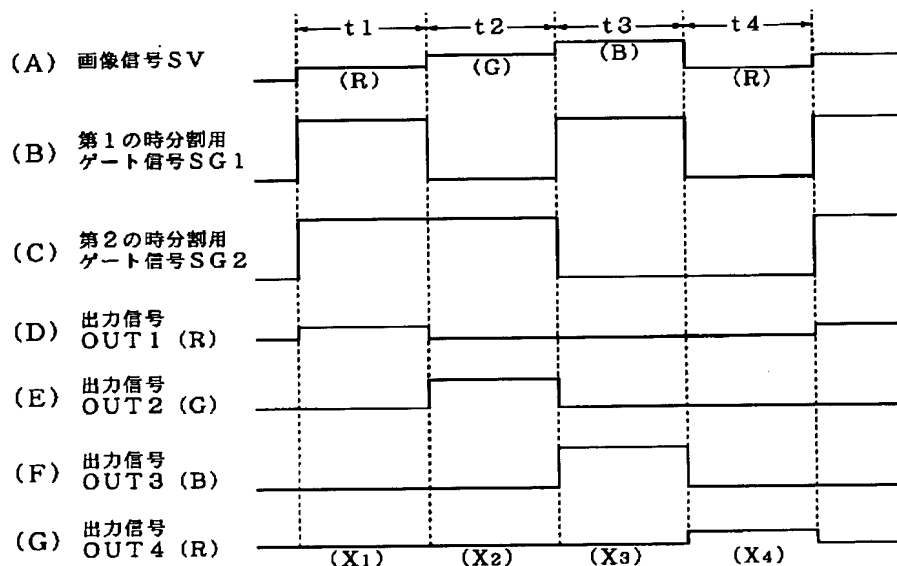
【図6】従来技術によるアクティブマトリクス型液晶表示装置の駆動回路の部分回路図である。

【図7】従来技術による液晶表示パネルを示す説明図である。

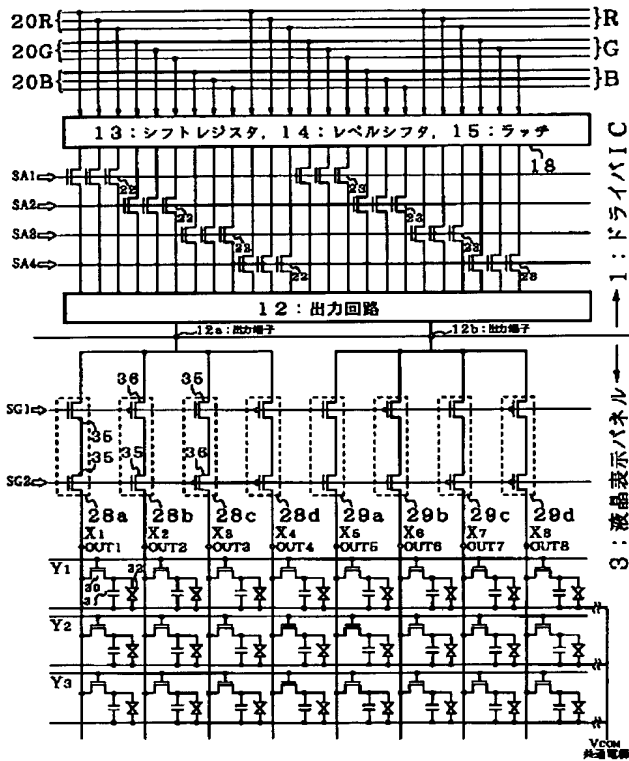
【符号の説明】

1・・・ドライバIC、2、3・・・液晶表示パネル、12・・・出力回路、16・・・時分割用スイッチ領域、17・・・有効表示領域、18・・・メモリー手段、22、23・・・第1のスイッチング手段、24a~24d、25a~25d、28a~28d、29a~29d・・・第2のスイッチング手段、26、27・・・出力端子、30・・・TFT、31・・・付加容量、32・・・液晶容量、33・・・インバーター

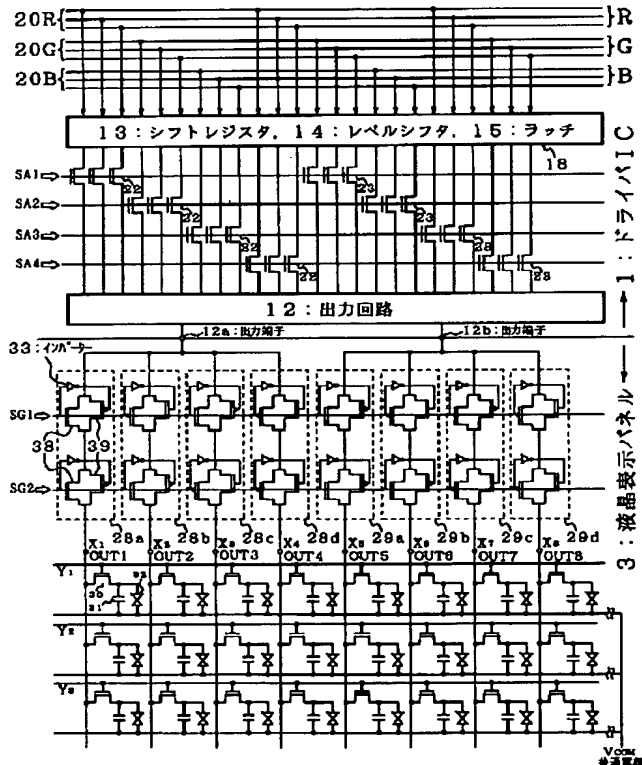
【図2】



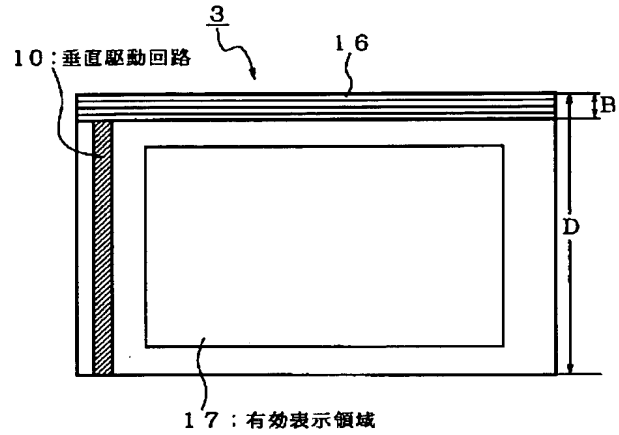
【図 1】



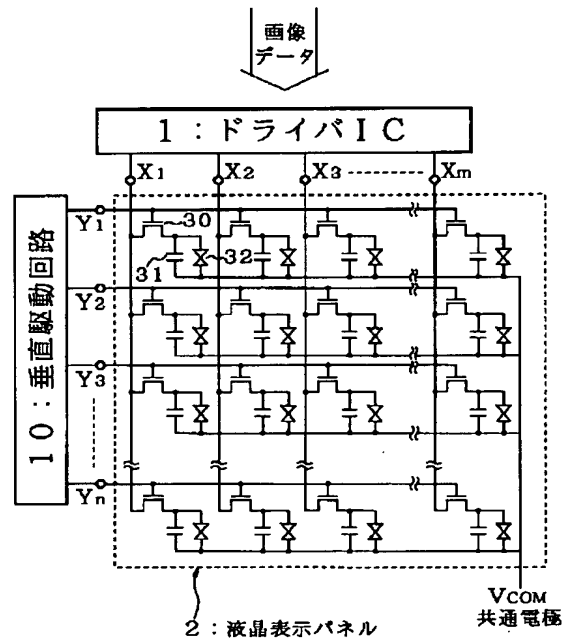
【図 4】



【図 3】

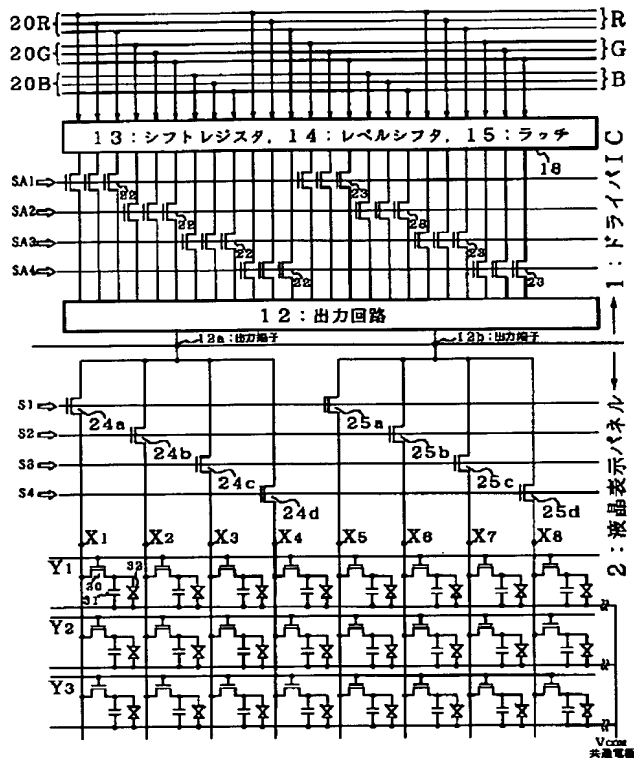


【図 5】



X1, X2, X3, ..., X_m: ソース線
Y1, Y2, Y3, ..., Y_n: ゲート線

【図 6】



【図 7】

